

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-195954

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

H04N 7/30

G06T 1/60

G06T 9/00

H03M 7/30

H04N 1/41

(21)Application number : 07-003233

(71)Applicant : FUJI FILM MICRO DEVICE KK  
FUJI PHOTO FILM CO LTD

(22)Date of filing : 12.01.1995

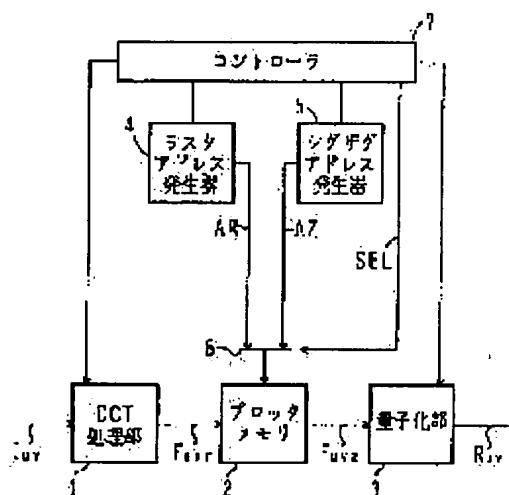
(72)Inventor : ASANO MASANARI

## (54) PICTURE COMPRESSION SYSTEM

### (57)Abstract:

**PURPOSE:** To accelerate a picture compression processing speed by immediately writing the next data in the row of a block memory for which the read of a discrete cosine transformation coefficient for a quantization processing is ended.

**CONSTITUTION:** A block memory 2 stores the two-dimensional block data of  $8 \times 8$  picture elements and a DCT processing means 1 performs discrete cosine transformation(DCT), generates the DCT coefficient and writes it in the address of the block memory 2 generated in the order of raster scanning by a raster address generation means 4. A sampling part 3 reads the DCT coefficient from the address of the block memory 2 generated in the order of zigzag scanning by a zigzag address generation means 5 and performs sampling. A control part 7 detects that all the DCT coefficients in one of rows of the block memory 2 are read by the sampling part 3 and controls the raster address generation means 4 and the DCT processing means 1 to start writing the DCT coefficient in the row concerned.



## LEGAL STATUS

[Date of request for examination] 16.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3394619

[Date of registration] 31.01.2003

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-195954

(43) 公開日 平成8年(1996)7月30日

(51) Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/30

G 0 6 T 1/60

9/00

H 0 4 N 7/ 133

Z

G 0 6 F 15/ 64

4 5 0 G

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平7-3233

(22) 出願日 平成7年(1995)1月12日

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社  
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地

(72) 発明者 浅野 真成

宮城県黒川郡大和町松坂平1丁目6番地  
富士フイルムマイクロデバイス株式会社内

(74) 代理人 弁理士 高橋 敬四郎 (外1名)

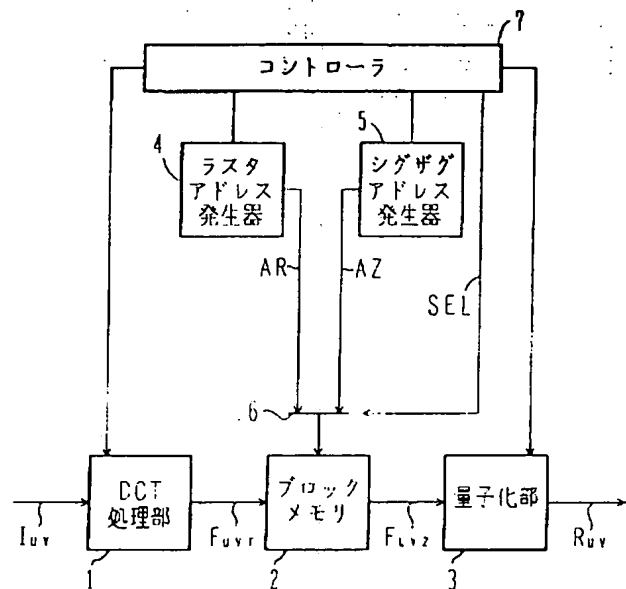
(54) 【発明の名称】 画像圧縮システム

(57) 【要約】

【目的】 デジタル画像の圧縮に関し、高速に画像データの圧縮処理を行うことができる画像圧縮システムを提供することを目的とする。

【構成】 2次元のブロックデータを記憶するためのブロックメモリ(2)と、離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、ブロックメモリのラスタスキャンのアドレスにDCT係数を書き込むためのDCT処理手段(1)と、ブロックメモリのジグザグスキャンのアドレスからDCT係数を読み出して、量子化を行う量子化手段(3)と、量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(7)とを有する。

実施例1



## 【特許請求の範囲】

【請求項1】 2次元のブロックデータを記憶するためのブロックメモリ(2)と、  
ラスタスキャンの順番で前記ブロックメモリのアドレスを生成するラスタアドレス発生手段(4)と、  
ジグザグスキャンの順番で前記ブロックメモリのアドレスを生成するジグザグアドレス発生手段(5)と、  
離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、前記ラスタアドレス発生手段により生成される前記ブロックメモリのアドレスにDCT係数を書き込むためのDCT処理手段(1)と、  
前記ジグザグアドレス発生手段により生成される前記ブロックメモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段(3)と、  
前記量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、前記DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(7)とを有する画像圧縮システム。

【請求項2】 さらに、前記量子化手段により量子化されたDCT係数をランレングス符号化するためのランレングス符号化手段(55)と、  
前記ランレングス符号化手段により符号化される符号をハフマン符号化するためのハフマン符号化手段(55)とを有する請求項1記載の画像圧縮システム。

【請求項3】 DCTおよび量子化を含む処理を行うことにより生成される画像圧縮データを伸張するための画像伸張システムであって、  
2次元のブロックデータを記憶するためのブロックメモリ(22)と、  
ジグザグスキャンの順番で前記ブロックメモリのアドレスを生成するジグザグアドレス発生手段(24)と、  
ラスタスキャンの順番で前記ブロックメモリのアドレスを生成するラスタアドレス発生手段(25)と、  
画像圧縮されたデータを逆量子化してDCT係数を生成し、前記ジグザグアドレス発生手段により生成される前記ブロックメモリのアドレスにDCT係数を書き込むための逆量子化手段(21)と、  
前記ラスタアドレス発生手段により生成される前記ブロックメモリのアドレスからDCT係数を読み出して、逆離散コサイン変換(以下、IDCTという)を行うIDCT処理手段(23)と、  
前記逆量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を書き込んだことを検知して、前記IDCT処理手段が当該書き込まれた行の読み出しを開始するように、IDCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(27)とを有する画像伸張システム。

【請求項4】 さらに、画像圧縮データをハフマン復号

化するためのハフマン復号化手段(57)と、  
前記ハフマン復号化手段により復号化されるデータをランレングス復号化するためのランレングス復号化手段(57)とを有し、前記逆量子化手段は前記ランレングス復号化手段により復号化されるデータを逆量子化する請求項3記載の画像伸張システム。

【請求項5】 少なくとも1ラインのデータを記憶することができるメモリ(32)と、  
前記メモリのアドレスを生成するアドレス発生手段(34, 35)と、  
DCTを行ってDCT係数を生成し、前記アドレス発生手段により生成される前記メモリのアドレスにDCT係数を書き込むためのDCT処理手段(31)と、  
前記アドレス発生手段により生成される前記メモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段(33)と、  
前記量子化手段が前記メモリから1ライン分のデータを読み出したことを検知して、前記DCT処理手段が前記メモリに書き込みを開始するように制御するための制御手段とを有する画像圧縮システム。

【請求項6】 DCTおよび量子化を行うことにより生成される画像圧縮データを伸張するための画像伸張システムであって、  
少なくとも1ラインのデータを記憶することができるメモリ(42)と、  
前記メモリのアドレスを生成するアドレス発生手段(44, 45)と、  
画像圧縮データを逆量子化してDCT係数を生成し、前記アドレス発生手段により生成される前記メモリのアドレスにDCT係数を書き込むための逆量子化手段(41)と、  
前記アドレス発生手段により生成される前記メモリのアドレスからDCT係数を読み出して、IDCTを行うIDCT処理手段(43)と、  
前記逆量子化手段が前記メモリから1ライン分のデータを書き込んだことを検知して、前記IDCT処理手段が前記メモリからの読み出しを開始するように制御するための制御手段とを有する画像伸張システム。

【請求項7】 2次元のブロックデータを記憶するためのブロックメモリを有する画像圧縮システムを用いた画像圧縮方法であって、  
DCTを行ってDCT係数を生成し、ラスタスキャンの順番でブロックメモリにDCT係数を書き込むDCT処理工程と、  
ジグザグスキャンの順番でブロックメモリからDCT係数を読み出して、量子化を行う量子化工程とを含み、前記DCT処理工程は、前記量子化工程でブロックメモリのいずれかの行に含まれるDCT係数を全て読み出したことを検知して、当該読み出された行に書き込みを開始する画像圧縮方法。

【請求項8】 2次元のブロックデータを記憶するためのブロックメモリを有する画像伸張システムを用いて、DCTおよび量子化を行うことにより生成される画像圧縮データを伸張するための画像伸張方法であって、画像圧縮データを逆量子化してDCT係数を生成し、ジグザグスキャンの順番でブロックメモリにDCT係数を書き込む逆量子化工程と、ラスタスキャンの順番でブロックメモリからDCT係数を読み出して、IDCTを行うIDCT処理工程とを含み、前記IDCT処理工程は、前記逆量子化工程でブロックメモリのいずれかの行に全てのDCT係数を書き込んだことを検知して、当該書き込まれた行の読み出しを開始する画像伸張方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル画像処理に関し、特にデジタル画像の圧縮に関する。

【0002】

【従来の技術】 静止画画像の標準的な圧縮方式として、

$$F = D^T \cdot I \cdot D$$

図10は、原画像データIuvを基にDCT演算を行うことにより、DCT係数Fuvを得る過程を説明するための図である。

【0007】 演算対象である原画像データIuvは、8×8の行列であり、演算結果であるDCT係数Fuvも8×8の行列である。DCT係数の行列Fuvは、行数および列数が小さい（行列の左上方向に向かう）ほど、低い周波数成分の係数を表し、逆に行数および列数が大きい（右下方向に向かう）ほど、高い周波数成分の係数を表す。

【0008】 原画像データIuvの第0行（L0）が入力されると、DCT係数Fuvの第0行（L0）を演算することができる。DCT演算は、行毎に演算を行うことができる。DCT演算が行われると、DCT係数Fuvは、ラスタスキャンの順番で出力される。

【0009】 図13は、8×8の行列において、ラスタスキャンを行う際の順番を示す図である。ラスタスキャンは、まず第0行（L0）からスキャンを始める。第0

$$R_{uv} = \text{round} (F_{uv} / Q_{uv})$$

図11は、量子化テーブルQuvの行列を示す図である。量子化テーブルQuvは、8行8列からなり、DCT係数Fuvに対して低い周波数成分ほど値が小さく、細かな量子化を行い、高い周波数成分ほど値が大きくなり、粗い量子化を行う。

【0013】 図12は、一般的な画像ブロックについてのDCT係数Fuvに対して上式の量子化演算を行うことにより得られる係数Ruvの例である。低周波成分については細かな量子化を行い、高周波成分については粗い量子化を行うことにより、高周波成分の量子化データRuvは小さな値となる。一般的に、量子化データRuv

JPEG (joint photographic expert group) 圧縮方式がある。

【0003】 図9は、JPEG圧縮の処理手順を示すブロック図である。原画像データIuvは、圧縮対象となる画像データであり、空間領域で表される。原画像データIuvは、原画像を8×8ブロックに分割した内の1ブロックを表す行列である。原画像データの行列Iuvの成分は、原画像の各画素データを表す。

【0004】 離散コサイン変換（以下、DCTという）演算処理回路51は、原画像データIuvに対してDCT演算を行い、DCT係数Fuvを生成する。DCT係数Fuvは、周波数領域で表された情報（空間周波数成分）である。

【0005】 DCT演算処理回路51は、8×8の原画像データIuvについて、DCT演算を行う。原画像データIuvを、転置コサイン係数行列D' とコサイン係数行列Dとで挟み、行列演算を行うことによって、DCT係数Fuvが得られる。

【0006】

・・・ (1)

行（L0）については、左から右へ順番にスキャンされる。第0行（L0）のスキャンが終わると、次は第1行（L1）について、スキャンが行われる。以後、同様にして、第2行（L2）から第7行（L7）まで順番にスキャンが行われる。

【0010】 図9において、DCT演算により得られるDCT係数Fuvは、量子化演算処理回路53において量子化演算され、量子化データRuvが得られる。8×8のDCT係数Fuvは、周波数成分によって変化する量子化テーブルQuvで除算され、周波数が低いほど細かく、周波数が高いほど粗い量子化が行われる。

【0011】 すなわち、DCT係数Fuvは、行uおよび列vが小さい成分ほど細かなステップサイズの量子化テーブルQuvを用いてFuv/Quvに線形量子化される。

【0012】 量子化され、丸められた係数Ruvは、以下の式で表される。丸め込みroundは、最も近い整数への整数化を意味する。

・・・ (2)

vのうち、高周波成分（行列の右下部分）に0の値が集まりやすい。

【0014】 図9において、量子化データRuvは、符号化演算処理回路55においてランレングス符号化およびハフマン符号化が行われ、圧縮画像データduvが生成される。

【0015】 ランレングス符号化は、0の値が連続して続くようなデータに対して、高圧縮を行うことができる。図12に示した量子化データRuvは、行列の右下に多くの0が集まっている。この性質を利用して、量子化データの行列Ruvをラスタスキャンでなく、ジグザ

グスキャンでランレングス符号化を行えば、高圧縮を行うことができる。

【0016】図14は、 $8 \times 8$ の行列において、ジグザグスキャンを行う際の順番を示す図である。ジグザグスキャンは、行列の左上(0番)からジグザグ形状で右下(63番目)までスキャンする。量子化データ $R_{uv}$ について、ジグザグスキャンを行えば、低周波成分が位置する行列の左上から高周波成分が位置する行列の右下までを順次スキャンすることができる。

【0017】量子化データ $R_{uv}$ (図12)は、以上の理由により高周波成分(行列の右下)に0の値が集まりやすい性質があるため、ランレングス符号化を行うには、ラスタスキャン(図13)を行うよりもジグザグスキャン(図14)を行う方が、高圧縮を実現することができる。

【0018】図9において、符号化演算処理回路55は、ランレングス符号化を行った後に、ハフマン符号化を行い、圧縮画像データ $data$ を生成する。生成された圧縮画像データ $data$ は、記憶媒体に格納される。

【0019】以上のように、JPEGS縮では、データの20 スキャン方法として、ラスタスキャンとジグザグスキャンの両方を用いる。図9において、DCT演算処理回路51は、ラスタスキャンでDCT係数 $F_{uv}$ を出力する。そして、量子化演算処理回路53には、ジグザグスキャンでDCT係数 $F_{uv}$ を入力する。

【0020】この際、 $8 \times 8$ のDCT係数 $F_{uv}$ を記憶するためのブロックメモリを使って、データの流れをラスタスキャンからジグザグスキャンに変換する。DCT演算処理回路51から出力されるDCT係数 $F_{uv}$ は、ラスタスキャンの順番で、ブロックメモリに書き込まれる。30 量子化演算処理回路53には、ジグザグスキャンでブロックメモリから読み出したDCT係数 $F_{uv}$ が入力される。

【0021】図15は、ブロックメモリを使った場合のDCT処理と量子化処理を行う時間的タイミングを示す図である。DCT処理60、61は、DCT演算処理回路51(図9)が行う処理であり、量子化処理61は、量子化演算処理回路53(図9)が行う処理である。

【0022】各処理は、前述のように $8 \times 8$ のブロックのデータを単位として、処理を行う。 $n$ 番目のブロック40 についてのDCT処理60は、DCT演算を行い、ラスタスキャンの順番で、ブロックメモリにDCT係数 $F_{uv}$ を書き込む。 $8 \times 8 = 64$ 個のDCT係数 $F_{uv}$ のうち最後の63番目のデータを書き込んだ後に、 $n$ 番目のブロックの量子化処理61が開始する。

【0023】量子化処理61は、0番目から順番に63番目までのDCT係数 $F_{uv}$ を、ジグザグスキャンの順番でブロックメモリから読み出し、処理を行う。63番目のDCT係数 $F_{uv}$ が読み出された後に、 $n+1$ 番目のブロックについてのDCT処理62が開始する。50

【0024】DCT処理62は、0番目から順番に63番目までのDCT係数 $F_{uv}$ を、ラスタスキャンの順番で、ブロックメモリへ書き込む。以上のように、ブロックメモリには、まず64個のデータが全て書き込まれ、その後にデータの読み出しが開始する。そして、64個のデータが全て読み出された後に、次のブロックのデータの書き込みが開始する。

【0025】

【発明が解決しようとする課題】ブロックメモリに対して、ラスタスキャンで書き込みを行い、ジグザグスキャンで読み出しを行う際には、処理単位となるブロック内の全てのデータの書き込みが終わってから読み出しを行っていた。

【0026】一般的に、ラスタスキャンで書き込みを行う処理は、DCT演算を含むので、ジグザグスキャンで読み出しを行う処理(量子化処理を含む)に比べて、かなり長時間を要し、処理の効率が悪く、全体的に処理時間が遅くなってしまふ。

【0027】本発明の目的は、高速に画像データの圧縮を行うことができる画像圧縮システムを提供することである。

【0028】

【課題を解決するための手段】本発明の画像圧縮システムは、2次元のブロックデータを記憶するためのブロックメモリと、ラスタスキャンの順番でブロックメモリのアドレスを生成するラスタアドレス発生手段と、ジグザグスキャンの順番でブロックメモリのアドレスを生成するジグザグアドレス発生手段と、離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、ラスタアドレス発生手段により生成されるブロックメモリのアドレスにDCT係数を書き込むためのDCT処理手段と、ジグザグアドレス発生手段により生成されるブロックメモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段と、量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段とを有する。

【0029】

【作用】DCT処理手段は、量子化手段がブロックメモリに記憶されているDCT係数のブロックを全て読み出す前に、次のDCT係数ブロックのDCT係数をブロックメモリに書き込むことができる。

【0030】

【実施例】図1は、本発明の第1の実施例による画像圧縮システムの構成を示すブロック図である。

【0031】本実施例の画像圧縮システムは、例えば、JPEGS縮処理のうちの一部を示す。画像圧縮システムは、供給される原画像データ $I_{uv}$ に対して、DCT

処理部1においてDCT処理を行い、DCT係数Fuvrを出力し、ラスタスキャンの順番でブロックメモリ2に書き込みを行う。量子化部3は、ブロックメモリ2からジグザグスキャンの順番でDCT係数Fuvzの読み出しを行い、量子化処理を行い、量子化データRuvを出力する。

【0032】ブロックメモリ2は、8×8の1ブロック分のデータを記憶することができるメモリバッファである。以下、ブロックメモリ2がシングルポートメモリである場合を例に説明する。

【0033】本実施例では、ブロックメモリ2への書き込みのタイミングまたは読み出しのタイミングを制御することにより、画像圧縮処理の高速化を図る。以下、そのタイミングの制御方法を説明する。

【0034】DCT処理部1は、供給される原画像データIuvについて、DCT処理を行い、ラスタスキャンの順番でブロックメモリ2にDCT係数Fuvrを出力する。ブロックメモリ2には、DCT係数Fuvrが入力される一方、ラスタアドレス発生器4において生成されるラスタアドレスARが、セクタ6を介して入力される。

【0035】DCT処理部1から出力されるDCT係数Fuvrは、ブロックメモリ2中のラスタアドレスARで指定されるアドレスに書き込みが行われる。ラスタアドレスARは、ラスタスキャンの順番(図13)で生成されるメモリアドレスである。

【0036】セクタ6は、コントローラ7が生成するセレクト信号SELに応じて、ラスタアドレス発生器4が生成するラスタアドレスAR、またはジグザグアドレス発生器5が生成するジグザグアドレスAZのいずれかのアドレスをブロックメモリ2に供給する。

【0037】コントローラ7は、一番最初のブロック(0番目から63番目の全てのデータを含む)の原画像データIuvが供給されるときには、ラスタアドレスARを選択するための選択信号SELを、セクタ6に供給する。

【0038】図2に示すように、DCT処理10において、DCT処理部1がブロックメモリ2に63番目の最後のDCT係数Fuvrを書き込むと、量子化処理11において、量子化部3は、0番目のDCT係数Fuvzの読み出しを開始する。この際、コントローラ7は、量子化部3の処理開始と、ジグザグアドレス発生器5にジグザグアドレスAZの生成開始を指示する。ジグザグアドレス発生器5は、0番目のデータから順番にジグザグアドレスAZの生成を開始する。ジグザグアドレスAZは、ジグザグアドレスの順番で生成されるメモリアドレスである。

【0039】図1において、セクタ7は、コントローラ7からセレクト信号SELを受けて、ジグザグ発生器5が生成するジグザグアドレスAZを選択する。ジグザ

グアドレス発生器5は、ジグザグスキャンの順番(図14)でメモリアドレスを順次生成する。

【0040】ブロックメモリ2には、セクタ7を介して、ジグザグアドレスAZが供給される。量子化部3は、ジグザグスキャンの順番で、ブロックメモリ2からDCT係数Fuvzを読み出す。

【0041】図2に示すように、量子化処理11において、量子化部3が28番目のDCT係数Fuvzを読み出すと、コントローラ7は、DCT処理部1の処理開始と、ラスタアドレス発生器4にラスタアドレスARの生成開始を指示する。28番目のDCT係数Fuvzとは、図14に示すように最も右上のデータである。28番目のデータの読み出しが終了すれば、第0行(L0)の8つのデータを書き込むことが可能である。

【0042】ラスタアドレス発生器4は、上記のコントローラ7からの指示を受けて、0番目のデータから順次ラスタアドレスARの生成を開始する。図2のDCT処理部12において、量子化処理11の28番目のデータの読み出しを終了した後に、DCT処理部1は、次のブロックデータのうちの0行目(0番目~7番目)のDCT係数Fuvrの書き込みを開始する。

【0043】図3は、ブロックメモリ2に対して、量子化部3が読み出すタイミングとDCT処理部1が書き込むタイミングを説明するための図である。図3(A)において、量子化部3が0番目から28番目までのデータをブロックメモリ2からジグザグスキャンで読み出しを行った際、29番目から63番目までのデータは未だ読み出されていない。読み出された0番目から28番目までのデータは図示せず、未だ読み出されていない29番目から63番目までのデータのみ図示する。

【0044】28番目のデータが読み出されると、第0行(L0)の8つのデータ(図14における0番目、1番目、5番目、6番目、14番目、15番目、27番目、28番目)は全て読み出されたことになるので、DCT処理部1は次のブロックデータの第0行(L0)のデータ(0番目~7番目)を書き込むことができる。

【0045】続いて、図3(B)において、量子化部3が29番目から42番目のデータをブロックメモリ2からジグザグスキャンで読み出しを行った際、43番目から63番目までのデータが未だ読み出されていない。読み出された0番目から42番目までのデータは図示せず、未だ読み出されていない43番目から63番目までのデータのみ図示する。

【0046】42番目のデータが読み出されると、第1行(L1)の8つのデータ(図14における2番目、4番目、7番目、13番目、16番目、26番目、29番目、42番目)は全て読み出されたことになるので、DCT処理部1は新たな第1行(L1)のデータ(8番目~15番目)を書き込むことができる。

【0047】以下、同様にして、量子化部3が43番目

のデータを読み出した後、DCT処理部1は新たな第2行(L2)のデータを書き込むことができる。量子化部3が53番目、54番目、60番目、61番目、63番目のデータを読み出したときには、それぞれ第3行(L3)、第4行(L4)、第5行(L5)、第6行(L6)、第7行(L7)のデータをDCT処理部1が書き込むことができる。

【0048】以上の読み出しと書き込みのタイミングの切り換えは、図1のコントローラ7が制御する。コントローラ7は、DCT処理部1と量子化部3の処理開始を制御すると共に、ラスタアドレス発生器4とジグザグアドレス発生器5のアドレス生成を制御する。

【0049】以上の処理の流れを図2において説明する。DCT処理10は、DCT処理部1がn番目のブロックに対して行う処理である。DCT処理10において、DCT処理部1は、n番目のブロック内の0番目から63番目のDCT係数を演算し、ブロックメモリ2にラスタスキンの順番で書き込む。63番目のDCT係数が書き込まれると、量子化処理11の処理が開始する。

【0050】量子化処理11は、DCT処理11で演算されたn番目のDCT係数ブロックに対して量子化部3が行う処理である。量子化処理11において、量子化部3は、ブロックメモリ2からジグザグスキンの順番で0番目から順番にDCT係数を読み出し、量子化を行う。0番目から28番目までのDCT係数の読み出しが終了すると、DCT処理12が開始する。

【0051】DCT処理12は、DCT処理部1がn+1番目のブロックに対して行う処理である。DCT処理12において、DCT処理部1は、n+1番目のブロック内の第0行(0番目~7番目)のDCT係数を演算し、ブロックメモリ2にラスタスキンの順番で書き込む。

【0052】量子化処理11において、量子化部3は上記のn番目ブロックの0番目から28番目のDCT係数をジグザグスキンの順番で処理した後、続いて29番目から42番目のDCT係数の処理を行う。42番目のDCT係数の処理(読み出し)が終了すると、DCT処理12において、DCT処理部1は、n+1番目のブロック内の第1行(8番目~15番目)のDCT係数を演算し、ブロックメモリ2にラスタスキンの順番で書き込む。

【0053】以下、同様に、量子化処理11において、図3に示す43番目、53番目、54番目、60番目、61番目、63番目のDCT係数がジグザグスキンの

$$F'_{uv} = R_{uv} \cdot Q_{uv}$$

DCT係数 $F'_{uv}$ は、JPEG圧縮時に生成されたDCT係数 $F_{uv}$ に対して量子化誤差を含んだDCT係数で表される。

【0061】DCT係数 $F'_{uv}$ は、逆DCT(以下、

読み出されると、それぞれ、DCT処理12において、図13に示した第2行(L2)、第3行(L3)、第4行(L4)、第5行(L5)、第6行(L6)、第7行(L7)のデータが書き込まれる。

【0054】図示しないが、DCT処理12において、第7行(L7)の書き込みが終了すると、量子化部3は、量子化処理11と同様に、n+1番目ブロックのDCT係数の読み出しを開始する。

【0055】なお、量子化処理11において、量子化部3は、必ずしも、DCT処理10においてDCT処理部1が63番目のデータを含む第7行(L7)の書き込みを終了するのを待って、読み出しを開始する必要はない。例えば、DCT処理部1が第5行(L5)の書き込みを終了した時点で、量子化部3はジグザグスキンの20番目までのDCT係数を読み出してよい。

【0056】以上のように、量子化処理11とDCT処理12は、それぞれのデータブロックの処理途中において、ブロックメモリ2に対して書き込みまたは読み出しを行うことができる。一般に、DCT処理は、量子化処理よりも長時間の処理時間を要するので、上記のようにブロックメモリ2へのアクセスタイミングを制御することにより、時間的に効率よく処理を行うことができ、高速な画像圧縮を行える。

【0057】以上は、原画像データを圧縮する際における処理の実施例について説明した。次は、圧縮された圧縮画像データを伸張する際の実施例を説明する。図4は、JPEG伸張の処理を示すブロック図である。JPEG伸張は、前述の図9で示したJPEG圧縮により生成された圧縮画像データを伸張することにより、画像データを復元するための処理である。JPEG伸張も、JPEG圧縮と同様に8×8の1ブロックを単位として処理を行う。

【0058】記憶媒体に格納されている圧縮画像データdataは、復号化演算処理回路57においてハフマン復号化およびランレングス復号化され、量子化データ $R_{uv}$ が生成される。ハフマン符号化およびランレングス符号化は可逆符号化であるので、復号化された量子化データ $R_{uv}$ はJPEG圧縮時(図9)の量子化データ $R_{uv}$ と同じである。

【0059】量子化データ $R_{uv}$ は、逆量子化演算処理回路59において量子化テーブル $Q_{uv}$ との積により逆量子化演算され、DCT係数 $F'_{uv}$ に復される。量子化テーブル $Q_{uv}$ は、JPEG圧縮時に用いた図11の量子化テーブルと同じものを用いる。

【0060】

$$\dots (3)$$

「DCT」という演算処理回路61において逆方向のDCT演算が行われ、空間領域の画像データ $I'_{uv}$ に変換される。IDCT演算処理回路61は、DCT係数 $F'_{uv}$ を、コサイン係数行列Dと転置コサイン係数行

列  $D'$  とで挟み、行列演算を行うことによって伸張画像データ  $I'_{uv}$  を得る。

$$I' = DF' D'$$

伸張画像データ  $I'_{uv}$  は、J P E G 圧縮前の原画像データ  $I_{uv}$  に対して、D C T 誤差と量子化誤差が含まれているものとして、復元される。

【0063】次は、本発明を、以上の J P E G 伸張に適用する場合の例を説明する。図 5 は、本発明の第 2 の実施例による画像伸張システムの構成を示すブロック図である。本実施例の画像伸張システムは、例えば、J P E G 伸張処理のうちの一部を示す。

【0064】逆量子化部 21 は、供給される量子化データ  $R_{uv}$  に対して逆量子化処理を行い、D C T 係数  $F'_{uvz}$  を出力する。D C T 係数  $F'_{uvz}$  は、ジグザグスキャンの順番でブロックメモリ 22 に書き込まれる。I D C T 処理部 23 は、ブロックメモリ 22 からラスタスキャンの順番で D C T 係数  $F'_{uvr}$  を読み出し、I D C T 処理を行い、伸張画像データ  $I'_{uv}$  を出力する。

【0065】前述と同様に、ジグザグアドレス発生器 24 はジグザグアドレス  $AZ$  を生成し、ラスタアドレス発生器 25 はラスタアドレス  $AR$  を生成する。セレクト 26 は、選択信号  $SEL$  に応じて、ジグザグアドレス  $AZ$  またはラスタアドレス  $AR$  を選択して、ブロックメモリ 22 に供給する。

【0066】先の J P E G 圧縮の実施例では、ラスタスキャンでブロックメモリ 22 に書き込んだ後に、ジグザグスキャンで読み出しを行ったが、J P E G 伸張の場合には、ジグザグスキャンでブロックメモリ 22 に書き込んだ後に、ラスタスキャンで読み出しを行う。

【0067】以下、ジグザグアドレス発生器 24 がジグザグアドレス  $AZ$  を生成するタイミング、ラスタアドレス発生器 25 がラスタアドレス  $AR$  を生成するタイミング、および逆量子化部 21 と I D C T 処理部 23 が処理を開始するタイミングを説明する。

【0068】図 6 は、ブロックメモリ 22 に対して、逆量子化部 21 が書き込むタイミングと I D C T 処理部 23 が読み出すタイミングを説明するための図である。図 6 (A) は、逆量子化部 21 がジグザグスキャンで 0 番目から 28 番目までのデータをブロックメモリ 22 に書き込んだ際のブロックメモリ 22 の概略図である。書き込まれた 0 番目から 28 番目までのデータのみ図示する。

【0069】28 番目のデータが書き込まれると、第 0 行 (L 0) の 8 つのデータ (ジグザグスキャンにおける 0 番目、1 番目、5 番目、6 番目、14 番目、15 番目、27 番目、28 番目のデータ) は全て書き込まれたことになるので、I D C T 処理部 23 はブロックメモリ 22 に記憶されている第 0 行 (L 0) のデータを読み出すことができる。

【0062】

... (4)

【0070】図 6 (B) は、続いて、逆量子化部 21 がジグザグスキャンで 29 番目から 42 番目のデータをブロックメモリ 22 に書き込んだ際のブロックメモリ 22 の概略図である。既に書き込まれた 0 番目から 42 番目までのデータのみ図示する。

【0071】42 番目のデータが書き込まれると、第 1 行 (L 1) の 8 つのデータ (ジグザグスキャンにおける 2 番目、4 番目、7 番目、13 番目、16 番目、26 番目、29 番目、42 番目のデータ) は全て書き込まれたことになるので、I D C T 処理部 23 はブロックメモリ 22 に記憶されている第 1 行 (L 1) のデータを読み出すことができる。

【0072】以下、同様にして、逆量子化部 21 が 43 番目のデータを書き込んだ後、I D C T 処理部 23 は第 2 行 (L 2) のデータを読み出すことができる。逆量子化部 21 が 53 番目、54 番目、60 番目、61 番目、63 番目のデータを書き込んだときには、それぞれ第 3 行 (L 3)、第 4 行 (L 4)、第 5 行 (L 5)、第 6 行 (L 6)、第 7 行 (L 7) のデータを I D C T 処理部 23 が読み出すことができる。

【0073】以上の書き込みと読み出しのタイミングの切り換えは、図 5 のコントローラ 27 が制御する。コントローラ 27 は、逆量子化部 21 と I D C T 処理部 23 の処理開始を制御すると共に、ジグザグアドレス発生器 24 とラスタアドレス発生器 25 のアドレス生成を制御する。

【0074】以上 J P E G 方式の圧縮および伸張の場合における D C T 処理と量子化処理の場合について述べた。次は、J P E G 方式に限らず、ブロックメモリに対してラスタスキャンで書き込み、ラスタスキャンで読み出す場合を例に説明する。

【0075】図 7 は、本発明の第 3 の実施例による画像圧縮システムの構成を示すブロック図である。本実施例の画像圧縮システムは、図 1 に示した第 1 の実施例において、ブロックメモリ 2 の代わりに、ラインメモリ 32 を用いる。ラインメモリ 32 は、ラスタスキャンにより、1 ライン内のデータが先頭から最後まで順次アクセスされる。

【0076】D C T 処理部 31 は、供給される原画像データ  $I_{uv}$  に対して、D C T 処理を行い、D C T 係数  $F_{uv1}$  を出力し、ラスタスキャンでラインメモリ 32 にラインデータの書き込みを行う。量子化部 33 は、ラインメモリ 32 からラスタスキャンの順番で D C T 係数  $F_{uv2}$  のラインデータを読み出し、量子化処理を行い、量子化データ  $R_{uv}$  を出力する。

【0077】書き込みアドレス発生器 34 は、ラインメモリ 32 に書き込むための書き込みアドレス  $A1$  を生成



13

し、読み出しアドレス発生器 35 は、ラインメモリ 32 から読み出すための読み出しアドレス A2 を生成する。セクタ 36 は、選択信号 SEL に応じて、書き込みアドレス A1 または読み出しアドレス A2 をラインメモリ 32 に供給する。

【0078】 DCT 処理部 31 は、供給される原画像データ  $I_{uv}$  について、DCT 処理を行い、ラスタスキャンの順番でラインメモリ 32 に DCT 係数  $F_{uv,1}$  の 1 行分を書き込む。量子化部 33 は、ラインメモリ 32 からラスタスキャンの順番で DCT 係数  $F_{uv,2}$  を読み出す。ラスタスキャンの順番で読み出された DCT 係数  $F_{uv,2}$  は、量子化され、量子化データ  $R_{uv}$  が出力される。

【0079】 以下、書き込みアドレス発生器 34 が書き込みアドレス A1 を生成するタイミング、読み出しアドレス発生器 35 が読み出しアドレス A2 を生成するタイミング、および DCT 処理部 31 と量子化部 33 が処理を開始するタイミングを説明する。

【0080】 DCT 処理部 31 は、原画像データ  $I_{uv}$  を DCT 処理し、第 0 ライン (L0) の DCT 係数  $F_{uv,1}$  をラインメモリ 32 に書き込む。第 0 ライン (L0) の DCT 係数  $F_{uv,1}$  の書き込みを終了すると、量子化部 33 は、ラインメモリ 32 から第 0 行 (L0) の DCT 係数  $F_{uv,2}$  を読み出し、量子化処理を行い、量子化データ  $R_{uv}$  を生成する。

【0081】 以下、同様に、DCT 処理部 31 がラスタスキャンで第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータをそれぞれ書き込むと、量子化部 33 は、それぞれのラインデータが書き込まれた後に第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータを読み出して処理する。

【0082】 なお、アドレス A1、A2 は、書き込みアドレス発生器 34 と読み出しアドレス発生器 35 により生成する場合を説明したが、1 つのアドレス発生器で生成するようにしてもよい。

【0083】 図 8 は、本発明の第 4 の実施例による画像伸張システムの構成を示すブロック図である。本実施例の伸張圧縮システムは、図 7 に示した画像圧縮システムとは逆に、量子化データ  $R_{uv}$  を伸張して、伸張画像データ  $I'_{uv}$  を生成するシステムである。

【0084】 以下、書き込みアドレス発生器 44 が書き込みアドレス A1 を生成するタイミング、読み出しアドレス発生器 45 が読み出しアドレス A2 を生成するタイミング、および逆量子化部 41 と IDCT 処理部 43 が処理を開始するタイミングを説明する。

【0085】 逆量子化部 41 は、量子化データ  $R_{uv}$  を逆量子化し、第 0 ライン (L0) の DCT 係数  $F'_{uv}$  を

14

2 をラインメモリ 42 に書き込む。第 0 ライン (L0) の DCT 係数  $F'_{uv,2}$  が書き込まれると、IDCT 処理部 43 は、ラインメモリ 42 から第 0 行 (L0) の DCT 係数  $F'_{uv,1}$  を読み出し、IDCT 処理を行い、伸張画像データ  $I'_{uv}$  を生成する。

【0086】 以下、同様に、逆量子化部 41 がラスタスキャンで第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータをそれぞれ書き込むと、IDCT 処理部 43 は、それぞれラインデータが書き込まれた後に第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータを読み出して処理する。

【0087】 DCT 演算は、1 ブロック (例えば、 $8 \times 8$ ) が処理の単位であるので、従来の画像圧縮または伸張の処理では、当然のようにブロックメモリに 1 ブロックを記憶させる処理を行っていた。しかし、本実施例のようにラインメモリを用いて、1 ラインを単位に記憶させることも可能である。データをライン毎に記憶させれば、処理の待ち時間が減り、画像の圧縮または伸張の処理の高速化を図ることができる。

【0088】 なお、アドレス A1、A2 は、1 つのアドレス発生器で生成するようにしてもよい。また、ラインメモリは、入力されたデータを所定時間だけ遅らせて出力する機能を有すればよいので、ファーストインファーストアウト回路 (FIFO) 等を代わりに用いてもよい。

【0089】 以上のように、ブロックメモリまたはラインメモリのアクセスタイミングを制御することにより、メモリ容量を増加させることなく、画像圧縮または伸張の処理速度を高速にすることができる。

【0090】 なお、ブロックメモリまたはラインメモリは、シングルポートメモリである場合に限らず、デュアルポートメモリの場合にも適用することができる。この場合には、書き込み、読み出しを別個のポートから行うことができ、タイミング調整の自由度が増す。

【0091】 以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0092】

【発明の効果】 以上説明したように、本発明によれば、DCT 処理手段は、量子化手段がブロックメモリに記憶されている DCT 係数のブロックを全て読み出す前に、次の DCT 係数ブロックの DCT 係数をブロックメモリに書き込むことができるので、高速に画像圧縮処理を行うことができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による画像圧縮システム

の構成を示すブロック図である。

【図 2】DCT処理と量子化処理の時間的タイミングを示す図である。

【図 3】ブロックメモリに対して量子化部が読み出すタイミングとDCT処理部が書き込むタイミングを説明するための図である。

【図 4】J P E G伸張の処理を示すブロック図である。

【図 5】本発明の第 2 の実施例による画像伸張システムの構成を示すブロック図である。

【図 6】ブロックメモリに対して逆量子化部が書き込むタイミングと I D C T 処理部が読み出すタイミングを説明するための図である。

【図 7】本発明の第 3 の実施例による画像圧縮システムの構成を示すブロック図である。

【図 8】本発明の第 4 の実施例による画像伸張システムの構成を示すブロック図である。

【図 9】J P E G圧縮の処理手順を示すブロック図である。

【図 10】DCT演算を説明するための図である。

【図 11】量子化テーブル  $Q_{uv}$  の行列を示す図である。

【図 12】一般的な画像ブロックについてのDCT係数  $F_{uv}$  に対して量子化演算を行うことにより得られる係数  $R_{uv}$  の行列を示す図である。

【図 13】8×8の行列においてラスタスキャンの順番を示す図である。

【図 14】8×8の行列においてジグザグスキャンの順番を示す図である。

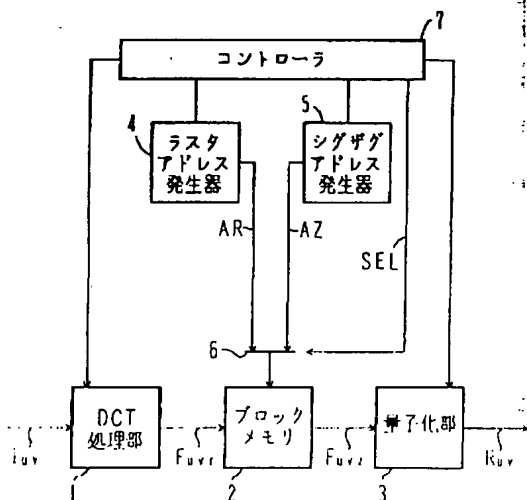
【図 15】従来技術によりDCT処理と量子化処理を行う時間的タイミングを示す図である。

【符号の説明】

- 1, 31 離散コサイン変換 (DCT) 処理部
- 23, 43 逆離散コサイン変換 (IDCT) 処理部
- 2, 22 ブロックメモリ
- 32, 42 ラインメモリ
- 3, 33 量子化部
- 21, 41 逆量子化部
- 4, 25 ラスタアドレス発生器
- 5, 24 ジグザグアドレス発生器
- 34, 44 書き込みアドレス発生器
- 35, 45 読み出しアドレス発生器
- 6, 26, 36, 46 セレクタ
- 7, 27, 37, 47 コントローラ
- 10, 12, 60, 62 DCT処理
- 11, 61 量子化処理
- 51 DCT演算処理回路
- 53 量子化演算処理回路
- 55 符号化演算処理回路
- 57 復号化演算処理回路
- 59 逆量子化演算処理回路
- 61 IDCT演算処理回路

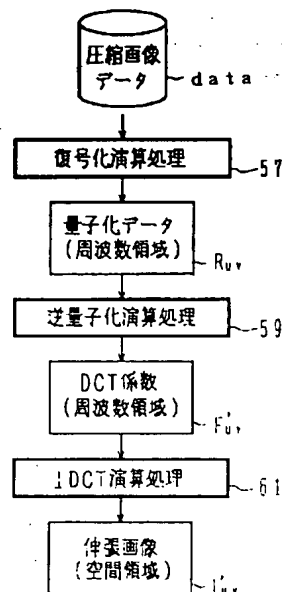
【図 1】

実施例 1



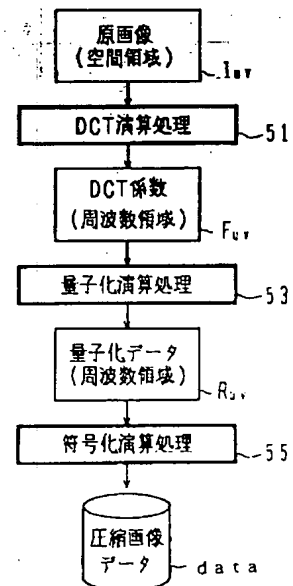
【図 4】

JPEG伸張



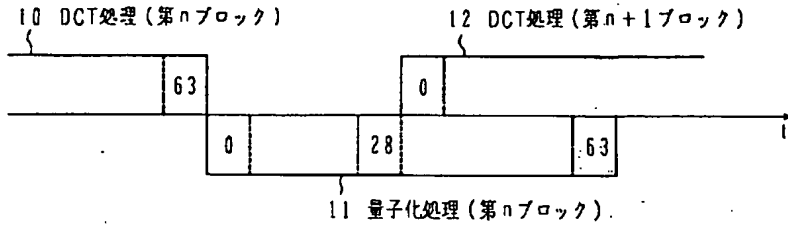
【図 9】

JPEG圧縮



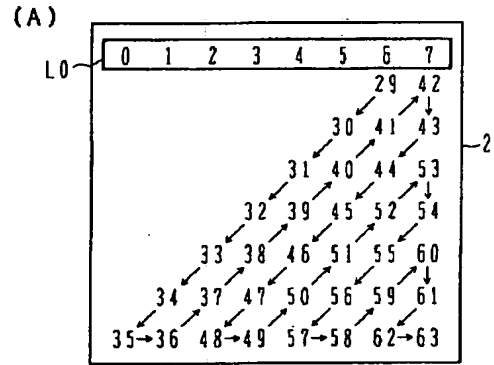
【図 2】

実施例 1 の処理タイミング



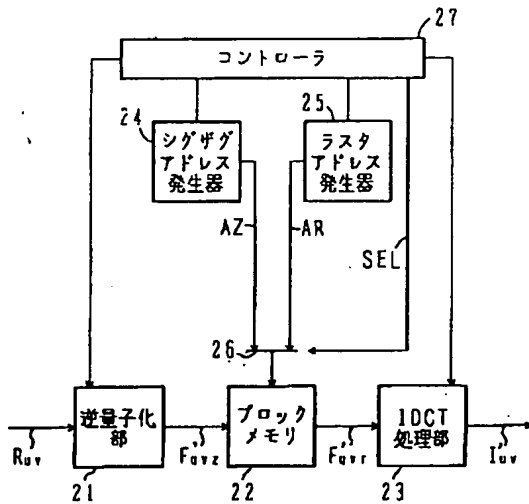
【図 3】

ブロックメモリへのアクセス

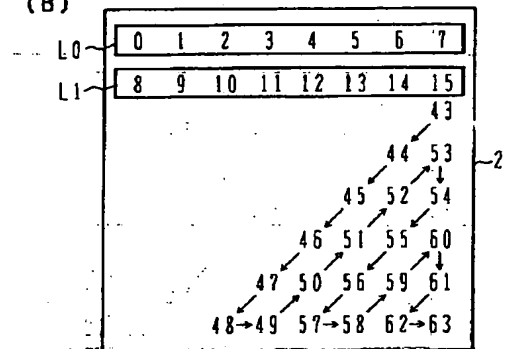


【図 5】

実施例 2

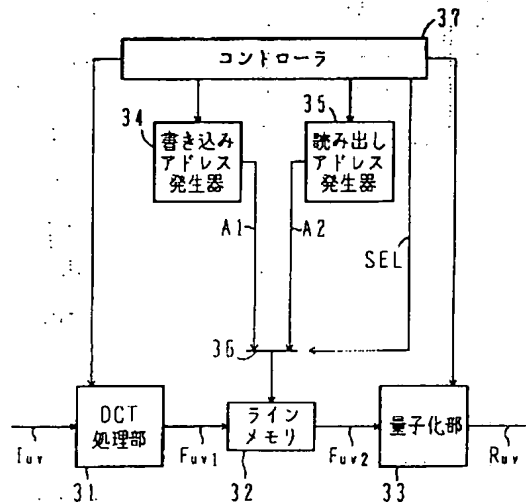


(B)



【図 7】

実施例 3



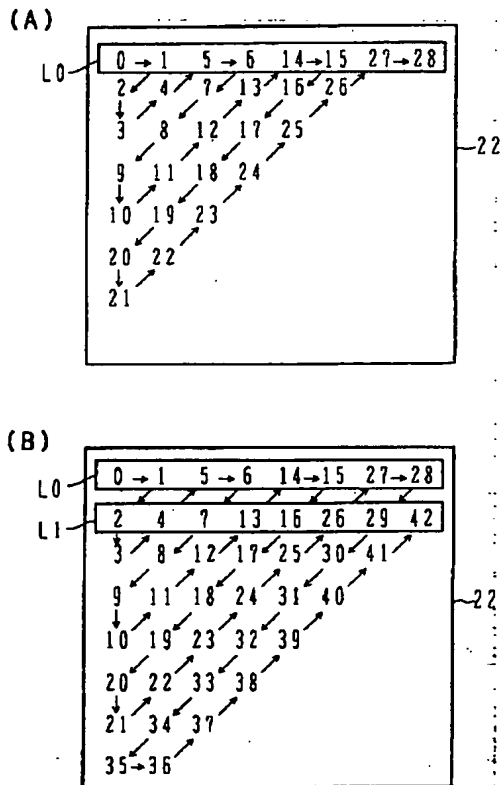
【図 11】

量子化テーブル

16	11	10	16	24	40	51	61
12	12	14	19	26	58	60	55
14	13	16	24	40	57	69	56
14	17	22	29	51	87	80	62
18	22	37	56	68	109	103	77
24	35	55	64	81	104	113	92
49	64	78	87	103	121	120	101
72	92	95	98	112	100	103	99

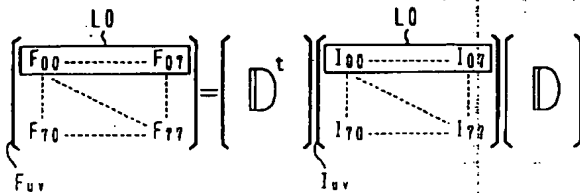
【図 6】

ブロックメモリへのアクセス



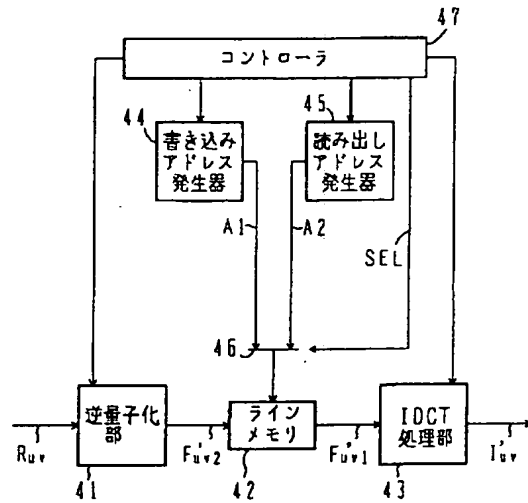
【図 10】

DCT演算



【図 8】

実施例 4



【図 12】

量子化データ

16	-1	-1	0	1	1	0	-1
-3	0	4	-0	-1	0	0	-1
-3	3	0	1	1	1	0	1
0	0	1	-1	0	0	0	1
-4	2	0	1	1	0	0	-1
2	0	0	-1	0	0	0	0
1	0	1	0	0	0	1	0
-1	0	0	0	0	0	0	0

Rev

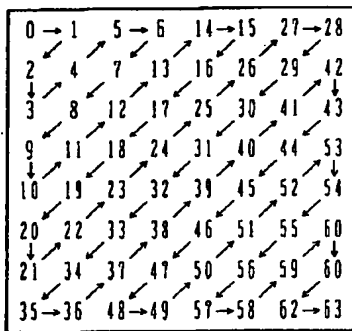
【図 13】

ラスタスキュン

L0	0	1	2	3	4	5	6	7
L1	8	9	10	11	12	13	14	15
L2	16	17	18	19	20	21	22	23
L3	24	25	26	27	28	29	30	31
L4	32	33	34	35	36	37	38	39
L5	40	41	42	43	44	45	46	47
L6	48	49	50	51	52	53	54	55
L7	56	57	58	59	60	61	62	63

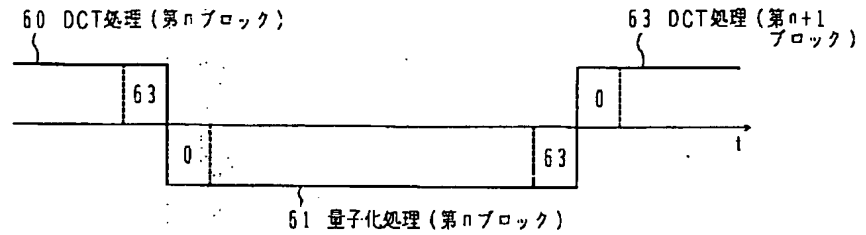
【図 14】

ジグザグスキャン



【図 15】

従来技術



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H 03 M 7/30

H 04 N 1/41

識別記号

庁内整理番号

A 9382-5K

B

F I

技術表示箇所

G 06 F 15/66

3 3 0 H